



TESTES DAS LÓGICAS DE PROTEÇÃO COM IEC 61850 NA SUBESTAÇÃO VERÓNICA DA CFE

Eugenio Carvalheira(*)
OMICRON

Julio R. Gómez Calderón
CFE, México

Erick Silva
OMICRON

RESUMO

A crescente demanda de energia elétrica na área do Vale do México resultou na construção de seis novas e modernas Subestações Isoladas a Gás (GIS) pela Comisión Federal de Electricidad (CFE), a principal concessionária de transmissão e distribuição de energia do México. As novas subestações têm que cumprir com os altos padrões de confiabilidade, segurança e qualidade no fornecimento de energia definidos pelas normas internas da CFE. Para atender aos requisitos do sistema de proteção e controle, comunicação IEC 61850 entre os dispositivos de proteção e controle (IED) foi implementada. A troca de informações baseados na comunicação IEC 61850 possibilitou a implementação de logicas de proteção no nível de bay da subestação.

Durante a fase de comissionamento das subestações, não apenas os elementos de proteção parametrizados nos IEDs devem ser verificados, mas também as lógicas de proteção e a comunicação entre os IEDs. Para o teste, foi escolhido um método de teste do sistema, com simulação baseada no modelo de rede do sistema de potência, para a correta verificação do esquema de proteção como um todo. Esse informe técnico apresenta as lógicas de proteção definidas para a subestação Verónica de 230/23 kV situada na cidade do México, discute os requisitos de teste para tal aplicação e apresenta os testes realizados durante o seu comissionamento.

PALAVRAS-CHAVE

Lógicas de Proteção, IEC 61850 GOOSE, Testes de Simulação, Testes do Sistema

1.0 - INTRODUÇÃO

Com a crescente demanda de energia elétrica na cidade do México, novas subestações foram construídas. A norma IEC 61850 foi adotada para a comunicação entre os IEDs no sistema de proteção e controle. Para o cumprimento dos requisitos impostos ao sistema de proteção (definidos pelas normas e procedimentos internos da CFE), como por exemplo os tempos máximos de disparo, lógicas de proteção foram definidas e implementadas. As lógicas descritas neste informe técnico são: Disparo Rápido da proteção de Barra (DRB) e Esquema de proteção para Faltas Simultâneas (EFS) nos alimentadores de média tensão. Para verificação da correta implementação dessas lógicas é essencial que os testes sejam realizados simulando situações as mais reais possíveis. O objetivo é o de diminuir a possibilidade de uma eventual má-operação do sistema no futuro, e consequente aumento de sua confiabilidade e disponibilidade.

O uso da comunicação IEC 61850 nas subestações da CFE trouxe o benefício da fácil implementação de lógicas de proteção em subestações de distribuição. Mensagens GOOSE são utilizadas para a comunicação entre IEDs de todos os alimentadores para a implementação de um esquema descentralizado de proteção.

(*) 3550 Willowbend Blvd., Houston, TX, 77054 - Estados Unidos – Tel: +1 (713) 212-6127
E-mail: eugenio.carvalheira@omiconenergy.com



O objetivo dessas lógicas é o de proporcionar uma melhor coordenação da proteção, e uma melhor e mais rápida isolamento de faltas. O disparo de um disjuntor depende não somente do relé local do alimentador, mas depende das condições vistas por todos os relés dos diferentes bays da subestação. Os IEDs trocam sinalizações de partida e disparo entre eles. Decisões de disparo em cada bay são tomadas dependendo da localização exata da falta e da partida ou não da proteção de outros bays. Seria extremamente difícil implementar esse esquema utilizando cabeamento de cobre entre os IEDs, já que seriam necessárias várias saídas e entradas binárias físicas nos IEDs além dos cabos entre os painéis. Mensagens GOOSE possibilitaram a implementação de uma forma muito mais fácil e eficiente.

Entretanto, a implementação dessas lógicas requer um procedimento de teste bem pensado para garantir uma operação segura do esquema após a sua energização. Para teste da operação completa do esquema, incluindo a comunicação entre IEDs e as lógicas, não é suficiente o teste dos relés de proteção de uma forma individual, apenas como elementos independentes. Em vez disso, o sistema deve ser testado com a simulação de condições reais de operação e faltas. Os sinais de tensão e corrente de cada bay em tal simulação devem ser calculados e injetados de forma simultânea e sincronizada no tempo em todos os IEDs envolvidos. Esse método de teste utiliza um modelo da rede do sistema de potência para cálculo transitório dos sinais, para simulações de cenários de faltas e para injeção dos valores de falta em todos os IEDs do esquema de proteção. É possível a definição de faltas em diferentes localizações do sistema, expondo todos os IEDs a mesma situação que enfrentariam no caso de uma falta real no sistema.

Diferentemente dos testes convencionais dos elementos de proteção, onde os parâmetros dos ajustes das funções individuais de proteção são verificados, esse método de teste do sistema pode revelar também outros tipos de problemas. Assim como nos testes dos ajustes, o teste do sistema pode identificar qualquer erro de parametrização nos ajustes das funções de proteção, mas além disso pode identificar também qualquer má-configuração nas interfaces de comunicação dos IEDs ou nas lógicas implementadas nos IEDs. Como benefício adicional, esse método também permite a validação de que os ajustes calculados para os relés são adequados para proteger o sistema em questão.

2.0 - ESPECIFICAÇÕES TÉCNICAS DA CFE

A especificação técnica CFE-G0000-62 [1] define, internamente na CFE, os esquemas padrões a serem utilizados para a proteção de transformadores de potência, autotransformadores e reatores. Essa especificação técnica, além de definir as lógicas para Disparo Rápido da proteção de Barra (DRB) e Esquema de proteção para Faltas Simultâneas (EFS), também permite que as interfaces entre os IEDs sejam feitas de forma física com cabos de cobre ou através de comunicação GOOSE pela rede Ethernet. Na subestação Verônica, a interface entre os IEDs foi implementada com mensagens GOOSE.

3.0 - DESCRIÇÃO DA SUBESTAÇÃO

A subestação Verônica é uma subestação isolada a gás SF₆ (GIS) de 230/23 kV. A Figura 1 mostra o diagrama unifilar do setor de 230 kV com uma disposição de barra principal e barra de transferência. A Figura 2 mostra a configuração do setor de 23 kV para cada um dos dois transformadores de potência, o qual possui uma disposição em barra dupla com um bay de acoplamento. Existe também um bay de acoplamento entre os dois segmentos de barra de média tensão 23 kV para permitir a transferência de carga entre os dois transformadores de potência.

No setor 23 kV não existe um esquema de proteção diferencial de barra (87B) para proteger contra a ocorrência de faltas na barra, porém apenas funções de sobrecorrente. Faz-se, portanto, necessário a implementação de uma lógica para Disparo Rápido da Proteção de Barra com o objetivo de isolar faltas na barra de 23 kV em um tempo não maior que 4 a 6 ciclos (menor que 100 ms) [1]. Além disso, para os novos circuitos de distribuição de média tensão, existem 2 ou até mesmo mais circuitos que dividem uma mesma torre de distribuição. Qualquer problema em uma dessas torres, como por exemplo uma colisão e consequentemente tombamento da torre, pode resultar em uma falta simultânea em vários circuitos. Faltas simultâneas são quase sempre faltas permanentes no sistema e que exigem uma intervenção da equipe de manutenção.



Dada essa característica, é necessário isolar esse tipo de falta da forma mais rápida possível, sem que seja preciso esperar pela temporização das proteções de sobrecorrente. Isso é obtido com a implementação de uma lógica de proteção para faltas simultâneas em alimentadores.

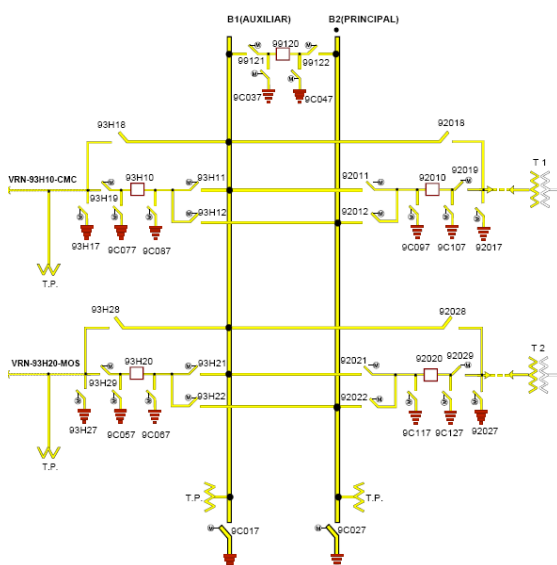


FIGURA 1 – Diagrama unifilar setor 230 kV

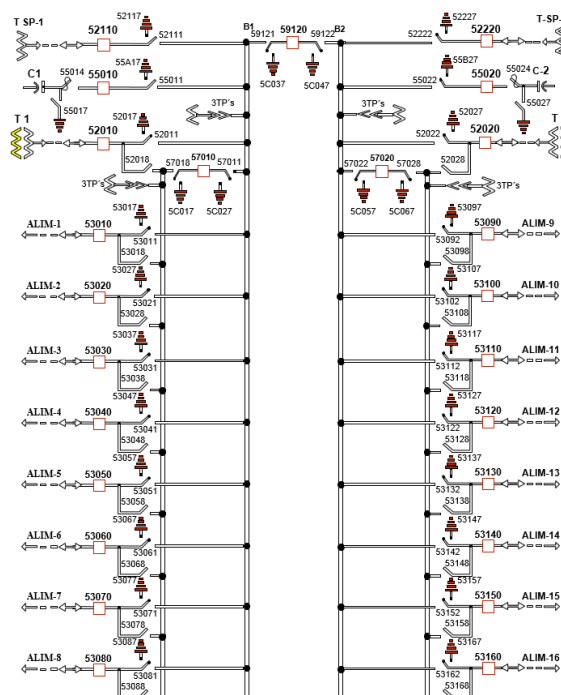


FIGURA 2 – Diagrama unifilar setor 23 kV

4.0 - DESCRIÇÃO DAS LÓGICAS DE PROTEÇÃO

4.1 Lógica para o Disparo Rápido de Barra (DRB)

A Figura 3 mostra um esquemático da lógica DRB. Essa lógica é implementada no IED de proteção principal de cada transformador de potência e tem as seguintes características no caso de uma falta na barra de 23 kV:

- Cada um dos bays de média tensão na subestação (alimentadores de distribuição, banco de capacitores ou transformador de serviços auxiliares) devem ter elementos de proteção de sobrecorrente de fase e neutro (51N, 51P, 50N, 50P);
- Os elementos 51P e 51N de cada um dos bays de media tensão não devem dar sua partida para uma ocorrência de uma falta na barra, uma vez que o relé nesta localização não medirá a corrente de falta. Conforme definido em [1] e descrito anteriormente, a sinalização de partida desses elementos é publicada via mensagem GOOSE pelos IEDs de cada alimentador e subscrito pelo IED de proteção do transformador de potência (IEDs PT1 ou PT2, respectivamente para os transformadores T01 e T02);
- Ao mesmo tempo, o elemento 51P e/ou 51N do IED PT1 e/ou PT2 deve operar. Junto com a condição (b), é possível determinar que a falta está localizada no segmento de barra;
- Finalmente, para que a lógica de proteção emita ordem de disparo para o disjuntor principal do transformador e bloqueio do religamento automático, todas as três condições anteriores devem estar satisfeitas além da comunicação entre os IEDs está disponível e operando corretamente;



- e. Disparo e bloqueio do religamento automático devem ocorrer apenas no disjuntor do lado de 23 kV do transformador de potência conectado a barra com falta. O disjuntor do lado de 230 kV do transformador não terá seu disparo e permanecerá fechado;
- f. 6 ciclos (100 ms) após o disparo do disjuntor principal, o IED PT1 (ou PT2) envia um sinal de disparo para todos os demais disjuntores de 23 kV da mesma barra (alimentadores, banco de capacitores e serviços auxiliares). PT1 (ou PT2) faz isso enviando uma mensagem GOOSE que é subscrita por cada um dos IEDs dos outros bays. Todos os disjuntores são abertos nesse caso como parte do procedimento de preparação para a futura reenergização do setor de 23 kV da subestação.

Para essa mesma lógica DRB, quando a falta ocorre em um dos alimentadores de 23 kV, o elemento 51N ou 51P do alimentador em falta dá a sua partida. Essa informação, como mencionado anteriormente, é publicada via mensagem GOOSE e quando subscrita pelo IED de proteção do transformador PT1 (ou PT2) causará o bloqueio do elemento de proteção de barra evitando a abertura do disjuntor principal da barra. O disparo será efetuado apenas no alimentador em falta, mantendo todos os outros em operação normal. Por essa característica, costumasse também dar o nome a esta lógica de Bloqueio Reverso da Proteção de Barra.

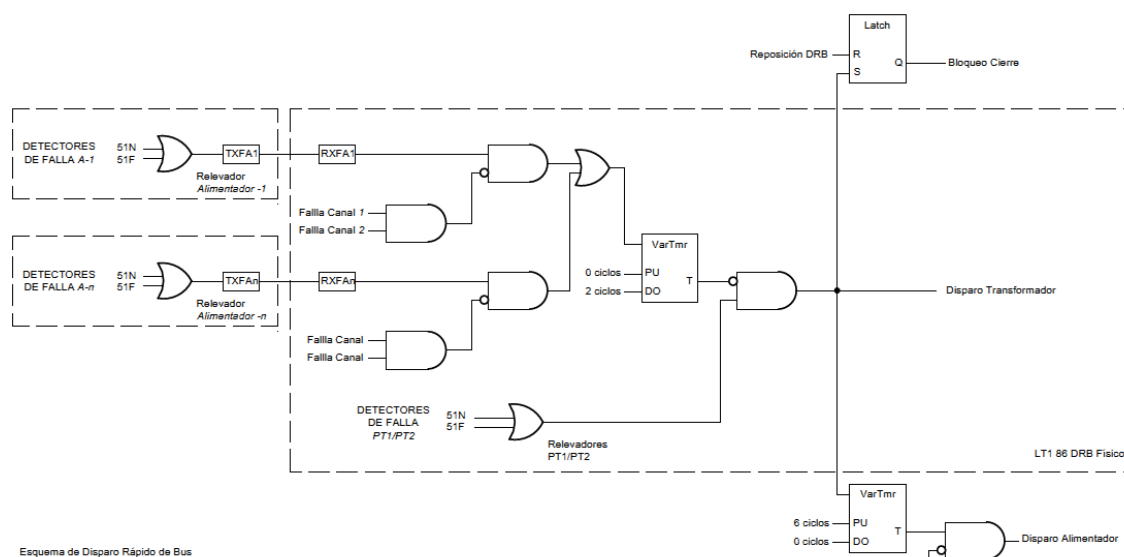


FIGURA 3 – Diagrama esquemático da lógica de Disparo Rápido de Barra

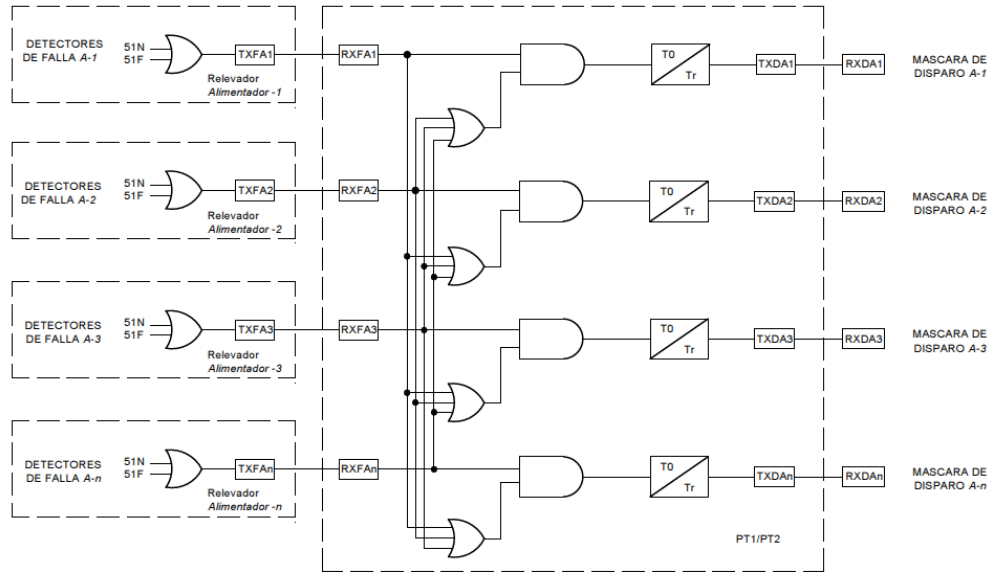
4.2 Lógica para o Esquema de Falta Simultâneas (EFS)

A Figura 4 mostra o diagrama esquemático da lógica de proteção EFS. A operação dessa lógica dá-se da seguinte forma:

- a. Os elementos 51P ou 51N devem ter a sua partida de forma simultaneamente em dois ou mais alimentadores;
- b. Os sinais de partida dos elementos 51P e/ou 51N são publicados via mensagem GOOSE e subscrito pelo IED de proteção do transformador PT1 (ou PT2);
- c. As mensagens de (b) devem bloquear (ou atrasar) a atuação do elemento de proteção 51H (sobrecorrente do lado de alta tensão do transformador) e 51NTL (sobrecorrente na conexão de neutro do transformador) do transformador localizado no mesmo segmento de barra do alimentador em falta;
- d. Ao mesmo tempo, ordem de disparo instantâneo é emitida aos disjuntores de alimentadores que apresentam falta, sobrepondo as temporizações dos elementos 51P (ou 51N) de cada alimentador;



- e. Disparo através da lógica EFS ocorre em todos os disjuntores que tiveram partida de sua proteção.



Esquema de Falhas Simultâneas

FIGURA 4 – Diagrama esquemático da lógica de Esquema de Falhas Simultâneas

5.0 - CONFIGURAÇÃO PARA O TESTE

Para a realização dos testes de comissionamento, o software RelaySimTest® da OMICRON foi utilizado. O software possui um editor de rede para a definição do modelo do sistema de potência. Os componentes do sistema como linhas de transmissão, barras, fontes, cargas, transformadores de potência, bays em subestações, além de outros elementos são adicionados e os parâmetros de cada um deles são definidos. Após a definição dos parâmetros no modelo, os cenários de simulação podem ser criados com a definição de quais condições de operação e faltas serão simuladas. O software, que é um programa EMTP, então calcula os sinais transitórios de tensão e corrente para cada um dos casos de simulação em todas as localizações do sistema definido. Todo o teste, desde a sua configuração inicial até a sua execução, é efetuado desde um único computador. O programa controla e coordena a injeção dos sinais em todas as maletas de teste utilizadas. Após a execução de cada caso de teste, todos os sinais monitorados pelas maletas de teste, seja pela conexão física em suas entradas binárias ou pelas mensagens GOOSE que elas subscrevem, são adquiridos pelo software. Desta forma, a reação de cada um dos IEDs e análise das lógicas se torna possível de forma simples logo após a execução do teste.

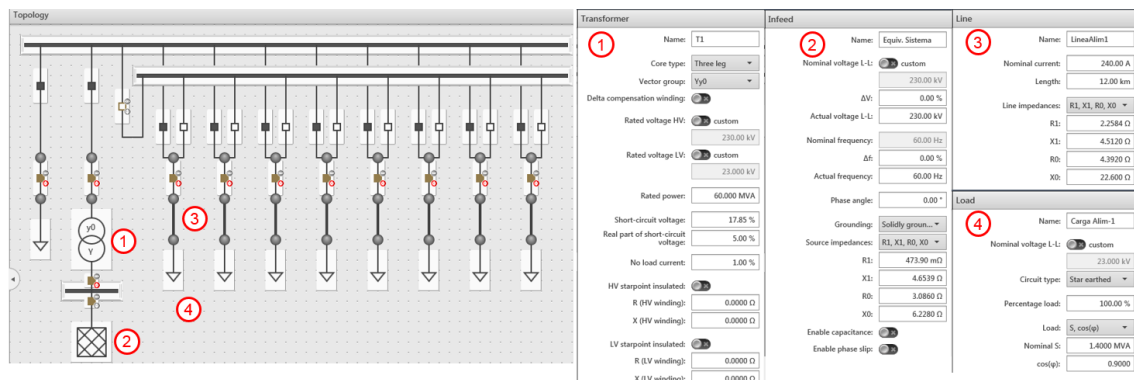


FIGURA 5 – Modelo de rede e parâmetros para o teste na subestação Verônica



O modelo definido para a execução dos testes na subestação Verónica possui o segmento de barra do setor de 23 kV associado ao transformador de potência T01. No editor de rede do software RelaySimTest®, o diagrama unifilar foi definido conforme mostra a Figura 5. O setor de 230 kV foi modelado como uma fonte (equivalente Thevenin), os alimentadores modelados como linhas de distribuição de 12 km cada conectados a cargas variadas e o serviço auxiliar definido como uma carga no sistema. O banco de capacitores não foi incluído já que não havia mais saídas de corrente disponíveis para o teste e por estes serem elementos de regulação de tensão e apresentarem pouca influência nas correntes de curto-circuito.

A Figura 6 mostra a configuração do teste, que foi composta de:

- 6 maletas de teste OMICRON CMC 356 (cada uma com 6 canais independentes de corrente);
- 3 antenas GPS com relógio PTP (IEEE 1588) integrado, modelo CMGPS 588;
- 1 Switch de rede PTP transparente com 6 portas RJ45 (modelo RuggedCom RSG 2288);
- 1 Switch de rede com 8 portas RJ45 adicionais (sem suporte ao protocolo PTP - IEEE 1588);
- 1 PC com o software OMICRON RelaySimTest®.

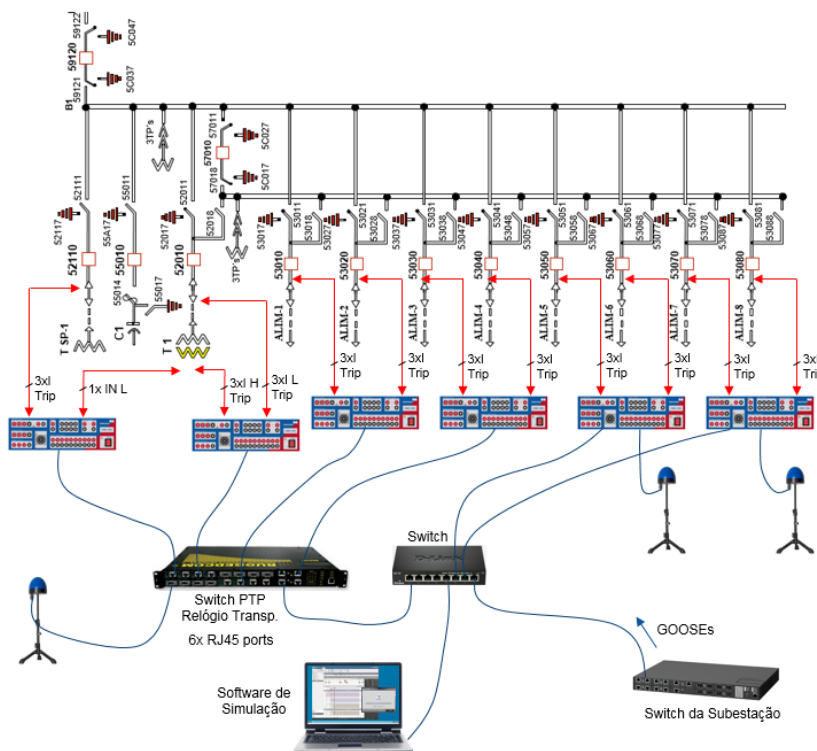


FIGURA 6 – Configuração das conexões de teste

Conforme representado pela Figura 6, uma das maletas de teste foi usada para injeção das correntes calculadas para ambos os lados de baixa e alta tensão do transformador de potência, enquanto uma outra maleta injeta a corrente de neutro referente ao TC instalado no ponto de neutro do transformador. Essa mesma maleta de teste é usada para injetar as correntes referentes ao TC do bay de serviços auxiliares. As outras 4 maletas de teste são usadas para injetar as correntes dos 8 alimentadores, uma maleta para cada 2 alimentadores. O contato de disparo para o circuito de trip de cada IED de proteção foi conectado de forma física a entradas binárias em cada uma das maletas de teste.

Para a sincronização de tempo das maletas de teste, foi utilizado o protocolo IEEE 1588, também conhecido como Precision Time Protocol (PTP), que utiliza a rede Ethernet como o meio físico para enviar a informação de tempo. Conforme mostra a Figura 6, 3 antenas GPS com relógio PTP integrado foram utilizadas para sincronização de todas as maletas. A utilização de apenas 1 antena, apesar de viável, não foi possível devido a limitação do número de portas do Switch que suportava o protocolo PTP.



Para se ter acesso as mensagens IEC 61850 GOOSE publicadas pelos IEDs, a rede montada para o teste teve que ser conectada à rede da subestação. As maletas de teste foram configuradas (como mostra a Figura 7) para subscrever a todas as mensagens GOOSE publicadas pelos IEDs. Isso permitiu uma melhor análise do comportamento de cada relé e verificação das lógicas implementadas em cada um deles.

5.1 Simulação em Malha-Fechada

Os testes foram realizados utilizando-se a opção de malha-fechada iterativa disponível no software RelaySimTest®. Essa opção permite o teste em malha fechada do esquema, já que a simulação e injeção dos sinais transitórios leva em conta os comandos de disparo e fechamento de cada um dos relés de proteção para a abertura e fechamento dos respectivos disjuntores do sistema. Para um determinado caso de teste, onde uma falta é simulada no sistema, quando a maleta de teste recebe o disparo de um dos relés envolvidos no teste, o software, de forma iterativa, inclui a abertura deste disjuntor na simulação transitória, conforme ilustrado na Figura 8. A falta é então isolada evitando a atuação de outros elementos de proteção, como um falha-disjuntor ou proteção de backup em outro relé. Desta forma, o software gera a sequência correta de eventos, da mesma forma que ocorre em uma falta real no sistema. Essa funcionalidade de teste em malha-fechada é essencial para uma correta verificação das lógicas implementadas nos IEDs como também verificação da coordenação da proteção, como a atuação de proteção principal e de backup.

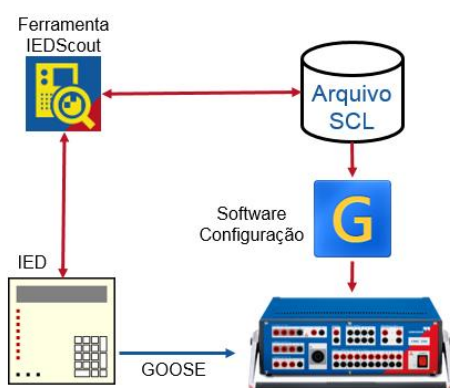


FIGURA 7 – Configuração GOOSE da maleta

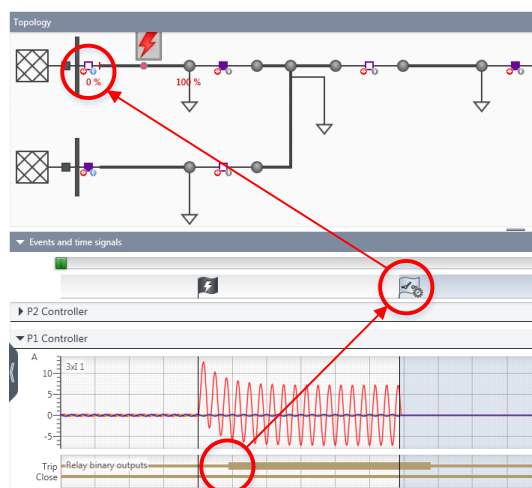


FIGURA 8 – Teste em malha-fechada iterativa

6.0 - RESULTADOS DOS TESTES

A definição dos casos de teste é uma parte crítica na preparação dos testes. A pessoa responsável por definir os procedimentos de teste, ou até mesmo a pessoa que executa o teste, deve pensar em todos os cenários de faltas e diferentes situações que podem ocorrer no sistema para poder definir as simulações. Cada caso de teste tem o objetivo de verificar a resposta do esquema de proteção a uma certa situação pré-definida. Usualmente, os casos de teste são definidos para verificar a resposta do sistema de proteção a situações como: faltas em diferentes localizações, diferentes tipos de faltas (monofásica, bifásica, trifásica), faltas com diferentes ângulos de incidência (DC offset), saturação dos TCs, etc. Um subconjunto dos casos de teste definidos para o comissionamento da subestação Verónica é apresentado nas seções seguintes deste trabalho. Esses casos de teste foram definidos e executados para verificar a correta operação das lógicas descritas anteriormente.



6.1 Teste da Lógica para o Disparo Rápido de Barra (DRB)

Figura 9 mostra o resultado de teste para uma falta fase-terra na barra de 23 kV do transformador T01. A resposta de todos os IEDs, incluindo o envio de mensagens GOOSE, é disponibilizada na tela do software e em uma oscilografia imediatamente após a sua execução. Os resultados mostram que foi necessário apenas um pouco mais de 1 ciclo (19,3 ms) para a lógica DRB operar e isolar a falta, abrindo o disjuntor VRN-52010 no lado 23 kV do T01. De acordo com a lógica apresentada na Figura 3, o IED de proteção PT1 do transformador T01 publica uma mensagem GOOSE (sinal DrbTr1), após aproximadamente 6 ciclos, com a ordem de abrir os disjuntores de todos os alimentadores dessa barra. Os resultados da Figura 9 confirmam que esses disjuntores abrem após aproximadamente 125 ms, como por exemplo o disjuntor VRN-53010 do alimentador 01.

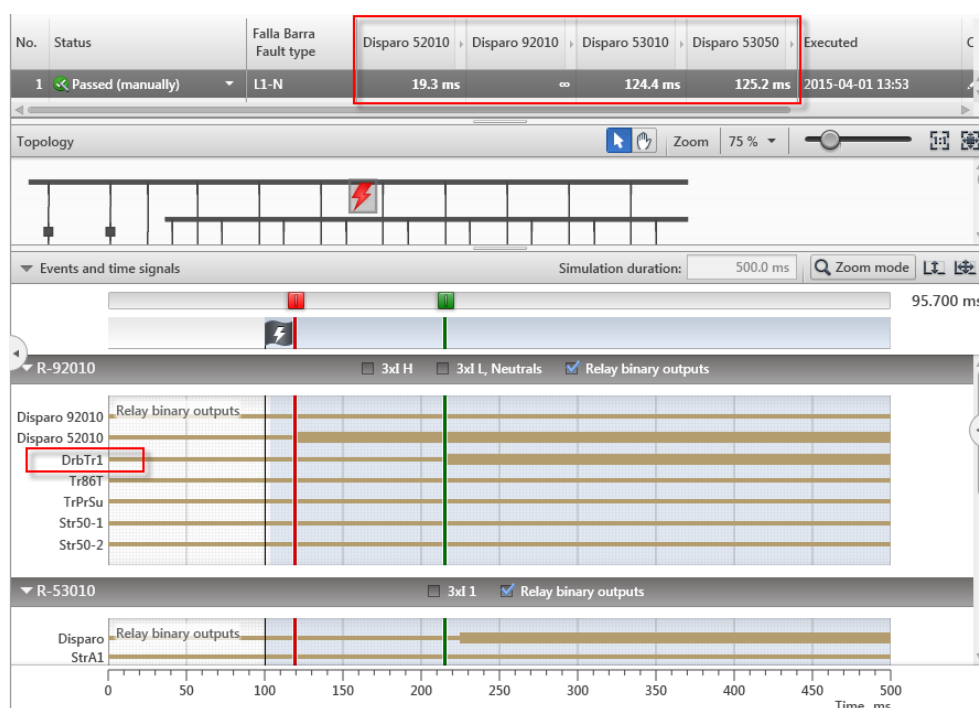


FIGURA 9 – Atuação da lógica DRB para uma falta na barra

O próximo teste realizado foi a simulação de faltas nos alimentadores, com o objetivo de checar que o bloqueio da lógica DRB ocorre corretamente. Faltas fase-terra e trifásicas foram simuladas em diferentes localizações do alimentador. Faltas próximas a subestação, com correntes elevadas de curto-circuito, foram simuladas para verificação da atuação dos elementos de sobrecorrente instantâneos (50P/50N). Faltas foram também simuladas ao final do circuito de distribuição de 12 km para verificar o tempo de disparo e coordenação dos elementos temporizados com outras proteções e fusíveis a jusante no sistema.

Figura 10 mostra os resultados de teste para a simulação da falta no alimentador 2. A lógica DRB é bloqueada pela mensagem GOOSE (sinal StrA2 na oscilografia da Figura 10) publicada pelo IED de proteção do alimentador 2. O bloqueio da lógica DRB é confirmado pelo fato dos disjuntores VRN-52010 (lado de baixa) e VRN-92010 (lado de alta) do transformador não atuarem para essa simulação. Os tempos de disparo medidos (marcados em vermelho na parte superior da Figura 10) confirmam que não há disparo por parte do IED de proteção do transformador e que o IED do alimentador 2 envia ordem de disparo para o disjuntor VRN-53020 de forma instantânea ou temporizada dependendo da localização da falta (30% e 100% dos 12 km do circuito de distribuição).

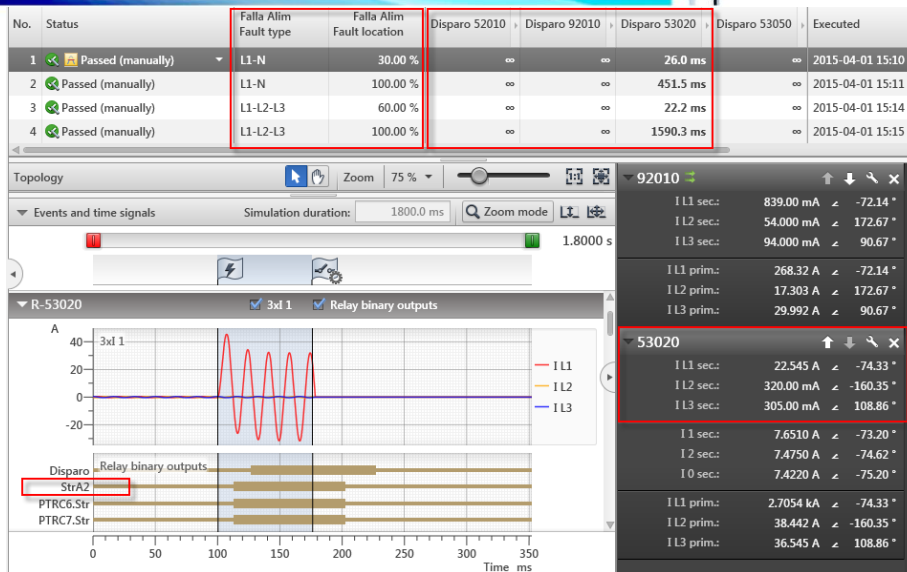


FIGURA 10 – Bloqueio da lógica DRB para uma falta no alimentador

6.2 Teste da Lógica para o Esquema de Falhas Simultâneas (EFS)

A Figura 11 mostra os resultados de teste para uma simulação de falhas simultâneas em dois diferentes alimentadores a uma distância de 12km da subestação. Primeiro ocorre uma falta no alimentador 1 (VRN-53010) e após 300ms uma segunda falta ocorre no alimentador 5 (VRN-53050). Os estudos de coordenação da CFE definidos com o software ASPEN, mostram que uma falta fase-terra a 12 km no alimentador VRN-53010 deve causar a operação do elemento de sobrecorrente temporizado 51N em 440ms, de acordo com a curva inversa utilizada. De fato, esse tempo já havia sido verificado no teste anterior com os resultados apresentados na Figura 10. Entretanto, após a segunda falta fase-terra ocorrer no alimentador VRN-53050, ambas as proteções dos alimentadores VRN-53010 e VRN-53050 tem um disparo instantâneo de 16ms. Isso prova a correta operação da lógica EFS que acelerou o disparo da proteção dos dois alimentadores, sobrepondo-se a temporização indicada pela curva do elemento 51N. Pode ser observado pelos resultados que a lógica de proteção também bloqueou a proteção de backup do transformador garantindo a coordenação.

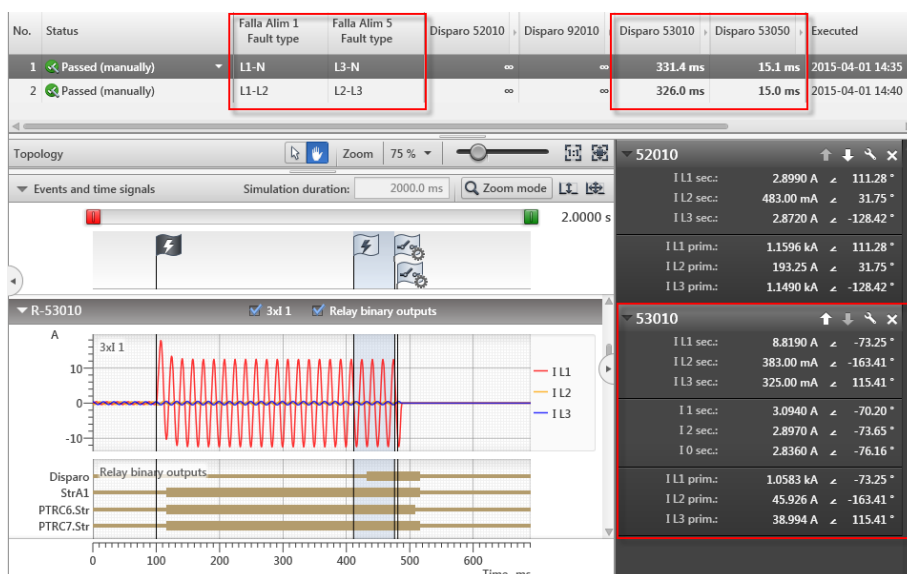


FIGURA 11 – Tempo de operação da lógica EFS



7.0 - CONCLUSÃO

A implementação de lógicas de proteção, como o Disparo Rápido de Barra (DRB) e Esquema de Falhas Simultâneas (EFS) apresentadas neste trabalho, requer também a execução de testes baseados no sistema, em contrapartida ao tradicional método de testes dos elementos de proteção. Os testes baseados no sistema têm como objetivo checar não apenas os elementos de proteção parametrizados nos IEDs, mas também verificar as interfaces de comunicação entre os IEDs e as lógicas dos esquemas de proteção. Além da realização de testes do sistema, a utilização também de uma ferramenta que calcula os sinais de corrente e tensão desde o modelo de rede do sistema, garante uma melhor qualidade do teste. Já que o teste é feito com simulações de faltas reais no sistema, uma atuação correta da proteção valida os ajustes que foram calculados para o relé pelos engenheiros de proteção.

Utilizando essa metodologia de teste, a CFE comissionou todo o esquema de proteção da subestação Verônica e verificou que o sistema estava operando de acordo ao esperado como as conexões físicas entre os IEDs, as interfaces de comunicação por mensagens GOOSE, a programação das lógicas descentralizadas e a coordenação da proteção.

A metodologia de teste do sistema, apresentada neste trabalho, não substitui por completo os testes convencionais dos elementos de proteção, mas adiciona muita qualidade ao teste e conseqüentemente uma melhor confiabilidade do sistema de proteção. A verificação do esquema de proteção e das lógicas podem ser feitas de uma forma muito mais eficiente. A confiabilidade do esquema de proteção é melhorada já que todo o esquema é validado através da simulação de condições de faltas reais no sistema sob teste e verificação da resposta do esquema como um todo.

8.0 - REFERÊNCIAS BIBLIOGRÁFICAS

- (1) "Esquemas Normalizados de Protecciones para Transformadores, Autotransformadores y Reactores de Potencia", Especificação CFE-G000-62.
- (2) D. Sanchez, H. Altuve, et.al. "Application of Multifunctional Protective Relays in Distribution Substations", www.selinc.com
- (3) RelaySimTest Getting Started Manual, OMICRON, 2014, www.omicronenergy.com
- (4) "ASPEN Line Constants Program", Advanced Systems for Power Engineering, Inc. 1991-1994.
- (5) Enrique Martínez Martínez, Ricardo Orozco Mendoza, "Criteria for calculating protection settings for Transformers and Autotransformers" Revisão de 2014.
- (6) Eliseo Alázar Ramírez, David Sánchez Escobedo, Francisco Vázquez Estudillo, Héctor J. Altuve Ferrer, Jorge Betanzos Manuel, Mario Vázquez Pablo. "Protection of Distribution Feeders for Simultaneous Faults".

9.0 - DADOS BIOGRÁFICOS

Eugenio Carvalheira é Engenheiro Eletricista pela Universidade Federal de Pernambuco e Mestre em Engenharia Computacional pela Universidade de Erlangen-Nuremberg, Alemanha. Possui larga experiência em sistemas de proteção, controle, medição e automação do sistema elétrico. Atualmente é Gerente de Engenharia na OMICRON Estados Unidos.

Julio R. Gómez Calderón é Engenheiro Mecânico e Elétrico pela Benemérita Universidade Autónoma de Puebla. No ano de 2000 ingressou na CFE como engenheiro de proteção e atualmente ocupa o cargo de chefe do departamento de proteção e medição da gerência regional de transmissão Valle do México.

Erick Silva é Engenheiro Eletricista pela Escola Federal de Engenharia de Itajubá. Possui larga experiência nas áreas de Energia e Automação de Concessionárias, nos mercados da América do Norte e América do Sul. Atualmente é Gerente de Vendas na OMICRON Estados Unidos.